

⑪ 公開特許公報 (A)

平3-289822

⑤Int.Cl.⁵
H 03 M 13/12識別記号
厅内整理番号
6832-5J

④公開 平成3年(1991)12月19日

審査請求 未請求 請求項の数 2 (全8頁)

⑤発明の名称 署み込み符号器

②特 願 平2-91477
②出 願 平2(1990)4月6日

特許法第30条第1項適用 1990年3月5日、社団法人電子情報通信学会発行の「1990年電子情報通信学会春季全国大会講演論文集分冊2」に発表

⑦発明者 関 和彦 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑦発明者 久保田 周治 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑦発明者 守倉 正博 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑦出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑦代理人 弁理士 古谷 史旺

最終頁に続く

明細書

1. 発明の名称

署み込み符号器

2. 特許請求の範囲

(1) 入力される原データを拘束長K、符号化率 $(2^{n+1}-1)/2^{n+1}$ （ただし、KおよびNは1以上の整数）の署み込み符号に符号化する署み込み符号器において、

送信データクロックの2倍の周波数のマスタクロックの 2^{n+1} 周期に1周期だけ欠落のあるデータシフトクロックに同期して、前記原データをシフトさせる1個の $(K+2^{n+1}-2)$ 段構成のシフトレジスタと、

このシフトレジスタの各段が保持するデータを所定の生成多項式に応じてそれぞれ入力し、対応する署み込み符号化を行う 2^{n+1} 個のモジュロ2加算器と、

前記マスタクロックの 2^{n+1} 周期に1クロックとなる速度変換クロックに同期して、前記各モジ

ュロ2加算器の出力を保持するデータラッチ回路と、

前記送信データクロックおよびそれを分周したデータセレクト信号に同期して、前記データラッチ回路の出力を多重化する多重回路と

を備えたことを特徴とする署み込み符号器。

(2) 請求項1に記載の署み込み符号器において、送信データクロックの2倍の周波数のマスタクロックを入力とし、符号化率に応じてデータシフトクロック、速度変換クロック、送信データクロックおよびデータセレクト信号を生成するタイミング発生回路を含むことを特徴とする署み込み符号器。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ディジタル信号によるデータ通信において、誤り訂正符号化装置の送信側で用いられる署み込み符号器に関する。

〔従来の技術〕

ディジタル信号によるデータ通信では、通信路における雑音その他により生じるデータの誤りに対して、受信側でそれを検出し訂正を行うために、所定の誤り訂正符号化装置が用いられている。特に、このような誤り訂正符号化装置の中では、送信側でデータの畳み込み符号化を行い、受信側で最尤復号処理により復号化を行う方式が優れた誤り訂正方式として知られている。

なお、畳み込み符号に対して最尤復号法による誤り訂正符号化方式では、他の誤り訂正符号化方式と同様に、符号系列の冗長度が大きいほど誤り訂正能力が高くなっているが、高いデータ伝送効率を得るためにには符号系列の冗長度を小さくすることが不可欠になっている。

ところで、符号系列の冗長度を小さく、かつ高い誤り訂正能力を実現する誤り訂正符号化方式としては、従来より「パンクチャド符号化ビタビ復号方式」（特開昭57-155857号公報および電子通信学会論文誌第J64-B巻第7号（1987

年7月））がある。

しかし、この方式の誤り訂正符号化装置には、消去パターンおよび挿入パターンの各保持回路、符号シンボル消去回路、ダミーシンボル挿入回路、および符号化率ごとに異なるパターンの間欠信号等によるタイミング制御が必要になっており、符号化率が可変できるように構成するには、回路規模が大きくかつ複雑になることが避けられなかつた。

したがって、簡単な回路構成で同様のパンクチャド符号化ビタビ復号方式が実現できる誤り訂正符号化装置が提案された（「汎用高速・高能率ビタビ復号器LSI構成法」、電子通信学会論文誌第J72-A巻第2号（1989年2月））。

ここで、簡易構成型の誤り訂正符号化装置の概略構成を第5図に示し、その畳み込み符号器の構成を第6図に示す。

第5図において、入力端子51から入力される原データは、畳み込み符号器53で消去パターンに対応して所定の項が省略された生成多項式を用

いて畳み込み符号化が行われ、通信路55に送出される。通信路55からの受信信号が入力される最尤復号器57では、ビタビアルゴリズムにより復号化処理を行い、復号化された受信データを出力端子59に出力する。

なお、第6図に示す畳み込み符号器は、通信路55における変調方式がQPSK（4相位相シフトキーイング）変調方式であり、省略のない生成多項式により生成される畳み込み符号（以下、「原畳み込み符号」という。）の符号化率を1/2、拘束長K=3、通信路55上の符号化率を3/4としたときの構成例である。

第6図において、入力端子51の原データは、畳み込み符号器53の直並列変換回路60に入力され、並列信号に変換された出力はそれぞれ2ビット構成のシフトレジスタ61、62、63に入力される。ここで、各シフトレジスタで直並列変換回路60から直接受け取ったデータをその第一ビットとし、そのシフトデータを第二ビットとする。

シフトレジスタ61の第一ビットはモジュロ2加算器66に入力され、その第二ビットはモジュロ2加算器64、65に入力される。シフトレジスタ62の第一ビットはモジュロ2加算器67に入力され、その第二ビットはモジュロ2加算器65、66に入力される。シフトレジスタ62の第二ビットはモジュロ2加算器64～67に入力される。モジュロ2加算器64～67の各出力は多重回路68に入力され、そのIチャネル出力およびQチャネル出力は、それぞれ各チャネル対応の出力端子70、71に取り出される。なお、各出力端子70、71の1ch送信データおよびQch送信データは、次段のQPSK変調部で変調されて通信路55に送出される。

また、直並列変換回路60を動作させる直並列変換信号、シフトレジスタ61～63を動作させるデータシフトクロック、多重回路68を動作させる多重化信号などの各タイミング信号は、それぞれ対応する信号端子73、74、75を介してタイミング発生回路77から供給される。

以下、このような従来構成の畳み込み符号器53を用いて行われる原データの畳み込み符号化方法について説明する。

原データの符号系列Dを

$$D = (D_0, D_1, D_2, D_3, D_4, \dots)$$

とする。ここで、 D_i は時刻*i*における原データを示す。

このとき、モジュロ2加算器64～67では、それぞれ

$$T_1 = D_0 + D_1$$

$$T_2 = D_0 + D_1 + D_2$$

$$T_3 = D_1 + D_2 + D_3$$

$$T_4 = D_2 + D_3$$

の畳み込み符号が生成される。なお、「+」はモジュロ2の加算を表す。

さらに、各シフトレジスタ64～67を1ビットだけシフトさせたときの状態では、生成される畳み込み符号は、それぞれ

$$T'_1 = D_0 + D_1$$

$$T'_2 = D_0 + D_1 + D_2$$

$$T'_3 = D_1 + D_2 + D_3$$

$$T'_4 = D_2 + D_3$$

となる。

これらの畳み込み符号は、多重回路68により4-2の多重化が施され、各チャネル対応の出力端子70、71には、それぞれ

$$I = (T_1, T_3, T'_1, T'_3, \dots)$$

$$Q = (T_2, T_4, T'_2, T'_4, \dots)$$

の二つのバンクチャド畳み込み符号系列が出力される。

[発明が解決しようとする課題]

ところで、このような従来の畳み込み符号器の構成では、符号シンボル消去回路およびダミービット挿入回路は不要であるが、符号化率m/nの畳み込み符号を得るためにには、(K-1)ビット構成のシフトレジスタをm個と、このm個のシフトレジスタに原データを分配する直並列変換回路が必要であった。

また、この畳み込み符号器で符号化に伴うデー

タ信号の速度変換を行う場合には、直並列変換回路、多重回路およびm個のシフトレジスタに対して、それぞれ異なるパターンのタイミング信号を供給する必要がある。すなわち、第6図に示すように、従来の畳み込み符号器では、符号化率ごとに異なるタイミング発生回路および制御回路が周辺回路として必要であり、符号化率が可変できるように構成する場合には、それだけ回路規模の増大が避けられず、また制御処理も複雑になる問題点があった。

本発明は、バンクチャド符号化ビタビ復号方式を実現する誤り訂正符号化装置において、周辺回路を含む回路構成が簡単になり、かつ複数の符号化率に容易に対応することができる畳み込み符号器を提供することを目的とする。

[課題を解決するための手段]

第1図は、本発明畳み込み符号器の原理構成を示すブロック図である。

請求項1に記載の本発明は、入力される原デー

タを拘束長K、符号化率 $(2^{n-1}-1)/2^{n-1}$ (ただし、KおよびNは1以上の整数)の畳み込み符号に符号化する畳み込み符号器において、送信データクロックの2倍の周波数のマスタクロックの 2^{n-1} 周期に1周期だけ欠落のあるデータシフトクロックに同期して、原データをシフトさせる1個の(K+2ⁿ⁻¹-2)段構成のシフトレジスタと、このシフトレジスタの各段が保持するデータを所定の生成多項式に応じてそれぞれ入力し、対応する畳み込み符号化を行う 2^{n-1} 個のモジュロ2加算器と、マスタクロックの 2^{n-1} 周期に1クロックとなる速度変換クロックに同期して、各モジュロ2加算器の出力を保持するデータラッチ回路と、送信データクロックおよびそれを分周したデータセレクト信号に同期して、データラッチ回路の出力を多重化する多重回路とを備えて構成する。

請求項2に記載の発明は、請求項1に記載の畳み込み符号器において、送信データクロックの2倍の周波数のマスタクロックを入力とし、符号化率に応じてデータシフトクロック、速度変換クロ

ック、送信データクロックおよびデータセレクト信号を生成するタイミング発生回路を含み構成する。

(作 用)

本発明の疊み込み符号器では、マスタクロックから所定のパターンのデータシフトクロック、速度変換クロック、送信データクロックおよびデータセレクト信号が、符号化率に応じて生成される。

疊み込み符号化における拘束長および符号化率に対応する段数のシフトレジスタに、データシフトクロックに同期して原データを取り込み、生成多項式に基づいた所定のモジュロ2加算器で各段のデータを処理し、速度変換クロックに同期して各モジュロ2加算器の出力をラッチすることにより、対応する疊み込み符号データを生成することができる。

なお、得られた疊み込み符号データは、多重回路でデータセレクト信号および送信データクロックにより多重化され、各チャネル対応に出力され

る。

このように、一つのシフトレジスタを用いて疊み込み符号器が実現され、かつ符号化率に応じて生成される各タイミング信号により疊み込み符号化処理ができるので、従来と同様の伝送効率および誤り訂正能力を確保するとともに、回路構成の簡素化による回路規模の縮小が可能となる。

[実施例]

以下、図面に基づいて本発明の実施例について詳細に説明する。

第2図は、本発明の一実施例構成を示すブロック図である。

なお、本実施例に示す疊み込み符号器は、従来構成の説明時と同様に、通信路55における変調方式がQPSK変調方式であり、原疊み込み符号の符号化率を $1/2$ 、拘束長K=3、通信路55上の符号化率を $3/4$ としたときの構成例である。

図において、入力端子10には送信される原データが入力され、5ビット構成のシフトレジスタ

11に取り込まれる。ここで、シフトレジスタ11の出力信号を入力側から第1ビット、第2ビット、…、第5ビットとする。

シフトレジスタ11の第3ビットと第5ビットはモジュロ2加算器12に入力され、その第3ビット～第5ビットはモジュロ2加算器13に入力され、その第2ビット～第4ビットはモジュロ2加算器14に入力され、その第1ビットと第3ビットはモジュロ2加算器15に入力される。

モジュロ2加算器12～15の各出力は、データラッチ回路16を介して多重回路68に入力される。なお、多重回路68は、データラッチ回路16を介してモジュロ2加算器12、14の出力を取り込む2-1セレクタ17、モジュロ2加算器13、15の出力を取り込む2-1セレクタ18、各2-1セレクタ17、18の出力をラッチするデータラッチ回路19により構成され、4-2の多重化処理で得られた1チャネルおよびQチャネルの出力データが各チャネル対応の出力端子20、21に取り出される。

また、シフトレジスタ11を動作させるデータシフトクロック(a)、データラッチ回路16に入力される速度変換クロック(b)、多重回路68の2-1セレクタ17、18を動作させるデータセレクト信号(c)およびデータラッチ回路19を動作させる送信データクロック(d)の各タイミング信号は、タイミング発生回路25から供給される。タイミング発生回路25には、送信データクロック(d)の2倍の周波数のマスタクロック(e)がマスタクロック入力端子27から入力される。

なお、第6図に示す従来構成の説明では、多重回路68に入力されるデータセレクト信号(c)および送信データクロック(d)を併せて多重化信号としている。

第3図は、マスタクロック(e)およびタイミング発生回路25が出力する各タイミング信号(a)～(d)を示すタイミング図である。

本実施例では、N=1（符号化率 $2^{n-1}-1/2^n$ において $3/4$ ）であるので、データシフトクロック(a)は、マスタクロック(e)の4周期に対して1

つのクロックパルスが欠ける間欠信号であり、速度変換クロック(b)は、マスタクロック(e)の4周期に対して1つのクロックパルスのみが出力される信号に相当する。送信データクロック(d)は、マスタクロック(e)を2分周した信号であり、データセレクト信号(c)は、送信データクロック(d)をさらに2分周した信号となる。

以下、本実施例の畳み込み符号器における原データの畳み込み符号化方法について説明する。

原データの符号系列Dを

$$D = (D_0, D_1, D_2, D_3, D_4, \dots)$$

とする。ここで、 D_i は時刻*i*における原データを示す。

このとき、モジュロ2加算器12～15では、それぞれ

$$T_1 = D_0 + D_2$$

$$T_2 = D_0 + D_1 + D_3$$

$$T_3 = D_1 + D_2 + D_4$$

$$T_4 = D_2 + D_3 + D_5$$

の畳み込み符号が生成される。なお、「+」はモ

ジュロ2の加算を表す。

さらに、データシフトクロック(a)に従い、シフトレジスタ11を1ビットだけシフトさせたときの状態では、生成される畳み込み符号は、それ

$$T_1' = D_0 + D_2$$

$$T_2' = D_0 + D_1 + D_3$$

$$T_3' = D_1 + D_2 + D_4$$

$$T_4' = D_2 + D_3 + D_5$$

となる。

これらの畳み込み符号は、シフトレジスタ11とデータラッチ回路16との間で速度変換が行われ、さらに多重回路68の2-1セレクタ17、18およびデータラッチ回路19により4-2の多重化が施され、各チャネル対応の出力端子20、21には、それぞれ

$$I = (T_1, T_3, T_1', T_3', \dots)$$

$$Q = (T_2, T_4, T_2', T_4', \dots)$$

の二つのバンクチャド畳み込み符号系列が送信データクロック(d)に応じて出力される。

以上説明したように、本実施例の畳み込み符号器においても、第6図に示した従来構成の畳み込み符号器と同様の符号化が可能であるといえる。

ここで、第4図に、タイミング発生回路25の一実施例構成について示す。

第4図において、マスタクロック(e)は、二入力論理積回路(AND回路)41、42、43の各一方の入力端子、二分周器44のクロック端子(CK)、反転回路45を介してDフリップフロップ46のクロック端子(CK)および2ビットカウンタ47のカウント端子(UP)に入力される。AND回路41の出力は、Dフリップフロップ46のデータ端子(D)およびRSフリップフロップ48のリセット端子(R)に入力される。2ビットカウンタ47のキャリー出力は、RSフリップフロップ48のセット端子(S)および2ビットカウンタ47のロード端子(L)に入力される。RSフリップフロップ48の非反転出力(Q)は、AND回路41の他方の入力端子に入力される。

Dフリップフロップ46の非反転出力(Q)およ

び反転出力(Q̄)は、それぞれAND回路42、43の各地方の入力端子に入力される。

AND回路42、43の各出力は、それぞれ速度変換クロック(b)およびデータシフトクロック(a)として取り出される。マスタクロック(e)を2分周する二分周器44の非反転出力(Q)は、送信データクロック(d)として取り出されるとともに、さらに二分周器49を介してデータセレクト信号(c)として取り出される。

なお、原符号化率、拘束長および通信路における符号化率の値は、本実施例に示した値に限定されるものではなく、他の値でも同様に本発明の実施が可能である。

すなわち、各値に応じてシフトレジスタ11の段数、モジュロ2加算器の必要数、多重回路68の2-1セレクタ17、18に供給されるデータセレクト信号(c)の周期(速度データクロック(d)に対する分周数)、さらにマスタクロック(e)の周波数が決定される。

また、本実施例では符号化率3/4に対応して、

2ビットカウンタ47に初期値として「01」を与える、キャリー出力により初期値がロードされるように構成されるが、符号化率が変更になった場合には、2ビットカウンタ37をそれに応じたビット数のカウンタにするとともに、その初期値を対応する値に設定することにより、容易に対応をとることができる。

また、タイミング発生回路を含む疊み込み符号器は、演算装置およびソフトウェア、あるいはタイミング発生回路においてはROMその他の素子を用いて、同様の処理を実現することが可能である。

(発明の効果)

上述したように、本発明は、符号シンボルの消去あるいはダミーシンボルの挿入を行うことなく、簡単な構成でパンクチャド符号化ビタビ復号方式に対応する疊み込み符号器を生成することができる。

さらに、疊み込み符号器の動作に必要な各タイミング信号が、送信データクロックの2倍の周波

数のマスタクロックから生成されるタイミング発生回路を備えることにより、疊み込み符号器の制御を簡単にするとともに、符号化率の変更に際しても容易に対応することができる。

すなわち、データ伝送効率が高くかつ誤り訂正能力の高い疊み込み符号器が簡単に構成でき、特に狭い通信帯域で高品質のディジタルデータ伝送を容易に実現することができる。

4. 図面の簡単な説明

第1図は本発明の原理構成を示すブロック図。

第2図は本発明の一実施例構成を示すブロック図。

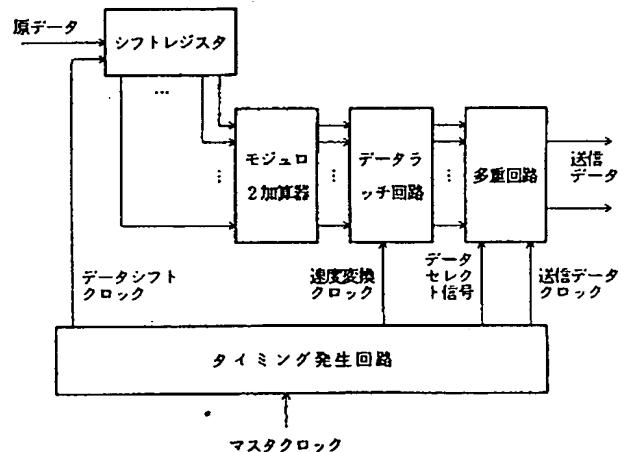
第3図は各タイミング信号を示すタイミング図。

第4図はタイミング発生回路の一実施例構成を示すブロック図。

第5図は簡易構成型の誤り訂正符号化装置の概略構成を示すブロック図。

第6図は従来の疊み込み符号器の構成を示すブロック図。

10…入力端子、11…シフトレジスタ、12、13、14、15…モジュロ2加算器、16…データラッチ回路、17、18…セレクタ、19…データラッチ回路、20、21…出力端子、25…タイミング発生回路、27…マスタクロック入力端子、41、42、43…二入力論理積回路(AND回路)、44、49…二分周器、45…反転回路、46…Dフリップフロップ、47…2ビットカウンタ、48…RSフリップフロップ。

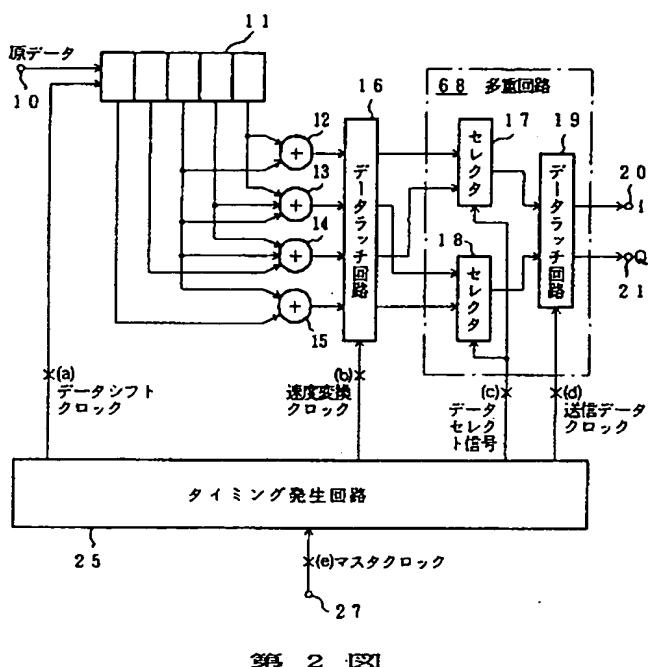


第1図

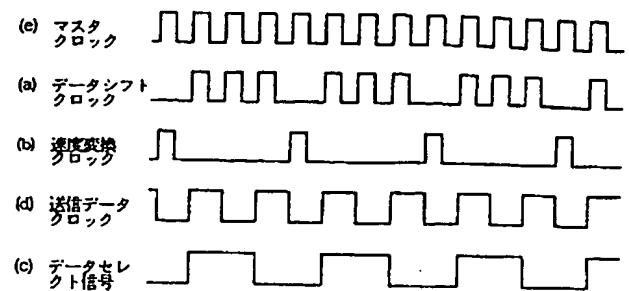
特許出願人 日本電信電話株式会社

代理人 弁理士 古谷史旺

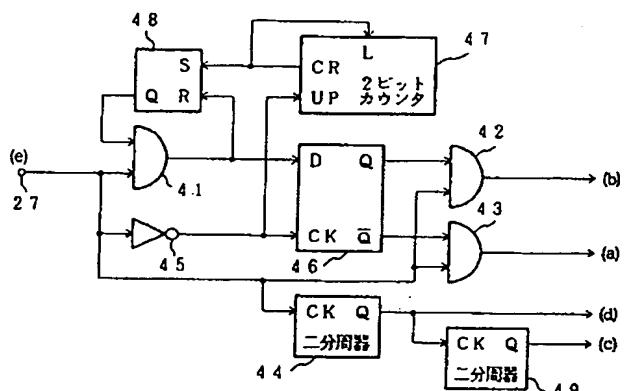




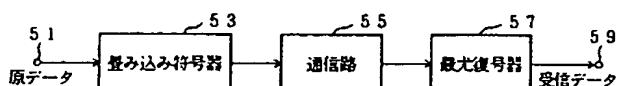
第2 図



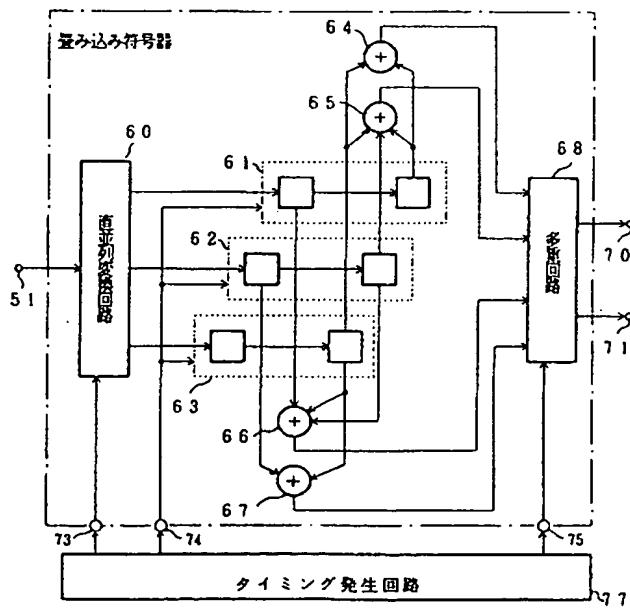
第3 図



第4 図



第5 図



第6 図

第1頁の続き

②発明者 加藤 修三 東京都千代田区内幸町1丁目1番6号 日本電信電話株式
会社内